

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-97277

(43)公開日 平成8年(1996)4月12日

(51)Int.Cl.⁶

H 01 L 21/76
21/762

識別記号

序内整理番号

F I

技術表示箇所

H 01 L 21/ 76

L
D

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21)出願番号

特願平6-235572

(22)出願日

平成6年(1994)9月29日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 上条 浩幸

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

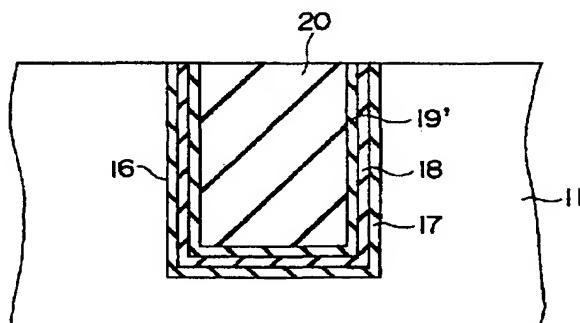
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 ポイドなしに溝内に絶縁膜を埋め込んで素子分離を行う。

【構成】 溝16の内面には、熱酸化膜17が形成される。熱酸化膜17上には、シリコン窒化膜18が形成され、シリコン窒化膜18上にはシリコン膜19が形成される。シリコン膜19は、アモルファスシリコン、多結晶シリコン及び単結晶シリコンのいずれから構成されていてもよい。シリコン膜19上に溝16を完全に埋め込むTEOS-オゾン膜20が形成される。酸化工程によりシリコン膜19をシリコン酸化膜19'に変換する。このとき、シリコン基板11の酸化は、シリコン窒化膜18により防止される。この後、エッチバックにより溝16内のみに絶縁膜を残す。



1

【特許請求の範囲】

【請求項1】 半導体基板に溝を形成する工程と、前記溝の内面に酸化膜を形成する工程と、前記酸化膜上に空化膜を形成する工程と、前記空化膜上にシリコン膜を形成する工程と、TEOSを主原料とし、少なくとも酸化剤との混合雰囲気で成膜する絶縁膜を前記溝内に埋め込む工程と、酸化性雰囲気で前記シリコン膜をシリコン酸化膜に変換する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に複数の配線を形成する工程と、各配線の表面を覆う酸化膜を形成する工程と、前記酸化膜上に空化膜を形成する工程と、前記空化膜上にシリコン膜を形成する工程と、TEOSを主原料とし、少なくとも酸化剤との混合雰囲気で成膜する絶縁膜を各配線間の隙間に埋め込む工程と、酸化性雰囲気で前記シリコン膜をシリコン酸化膜に変換する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項3】 前記酸化剤は、オゾンであり、前記絶縁膜は、TEOSとオゾンを主原料とする膜であることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記酸化剤は、H₂Oであり、前記絶縁膜は、TEOSとH₂Oを主原料とする膜であることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項5】 前記酸化剤は、H₂O₂であり、前記絶縁膜は、TEOSとH₂O₂を主原料とする膜であることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項6】 前記シリコン膜は、多結晶シリコン膜であることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項7】 前記シリコン膜は、アモルファスシリコン膜であることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、特に、半導体基板に形成された微細な溝や、配線間などに絶縁膜を埋め込む技術に関する。

【0002】

【従来の技術】 従来、半導体基板に形成された素子同士を電気的に絶縁するために、厚い熱酸化膜を素子と素子の間に選択的に形成するLocos法が主に用いられていた。しかし、LSIの微細化に伴い、Locos法に変わって、半導体基板に形成された溝に絶縁膜を埋め込む、いわゆる埋め込み素子分離方法が主流になってきている。

【0003】 その理由は、Locos法が物理的な素子同士の距離を2次元的にしか確保できなにのに対し、埋

10

2

め込み素子分離方法が物理的な素子同士の距離を3次元的に確保できるためである。即ち、埋め込み素子分離方法では、物理的な素子同士の距離を溝の深さで確保できるため、LSIの微細化に対しても素子間の耐圧を十分に確保できる。

【0004】 従来、半導体基板に形成された溝に絶縁膜を埋め込む場合には、減圧雰囲気中において600~800°Cの温度でTEOS(tetraethylorthosilicate)を主原料とした絶縁膜を溝内に埋め込む第1の方法、又はオゾンを酸化剤として添加しながらTEOSを溝内に埋め込む第2の方法(溝内に埋め込まれた絶縁膜をTEOS-オゾン膜という)が主として用いられる。

【0005】

【発明が解決しようとする課題】 微細で、素子間の耐圧が大きい半導体装置は、深い溝内に絶縁膜を埋め込むことにより達成できる。しかし、上述の第1の方法では、この深い溝内にボイドのない絶縁膜を埋め込むことが不可能である。そして、このボイドは、例えば図10に示すように、溝内に残ったり、図11に示すように、平坦化処理を行った後に窪みとして半導体基板上に露出したりする。後者の場合には、配線の短絡の原因になったりする。

【0006】 上述の第2の方法は、TEOS-オゾン膜の流動性を利用して深い溝内に絶縁膜を埋め込む方法である。しかし、TEOS-オゾン膜は、シリコン酸化膜上では流動性を示さなくなるため、溝内にボイドを形成してしまう。

【0007】 また、シリコン酸化膜上にTEOS-オゾン膜と相性のよいバッファ膜を形成した後にTEOS-オゾン膜を形成するという技術がある。しかし、バッファ膜にはオゾン濃度を下げた膜が用いられるため、一般に流動性がなく、50nm以上(実験値)の膜厚が必要である。このため、溝のアスペクト比が大きくなってしまい、TEOS-オゾン膜を形成しても溝内にボイドを形成してしまう。

【0008】 一方、溝内に半導体基板(シリコン)が露出した状態でTEOS-オゾン膜を形成すると、ボイドなく溝内に絶縁膜を埋め込むことができるが、素子領域の拡散層(例えば、MOSFETのソース・ドレイン)の接合リードが大きくなるという欠点がある。

【0009】 本発明は、上記欠点を解決すべくなされたもので、その目的は、ボイドなく半導体基板の溝内に絶縁膜を埋め込み、かつ、素子特性を劣化させない素子同士の分離を行うこと、及び、配線間のような微細な隙間にも絶縁膜を埋め込むことである。

【0010】

【課題を解決するための手段】 上記目的を達成するため、本発明の半導体装置の製造方法は、まず、半導体基板に溝を形成し、前記溝の内面に酸化膜を形成し、前記

30

40

50

酸化膜上に窒化膜を形成し、前記窒化膜上にシリコン膜を形成する。この後、TEOSを主原料とし、少なくとも酸化剤との混合雰囲気で成膜する絶縁膜を前記溝内に埋め込む。そして、酸化性雰囲気で前記シリコン膜をシリコン酸化膜に変換する、という一連の工程からなる。

【0011】本発明の半導体装置の製造方法は、まず、半導体基板上に複数の配線を形成し、各配線の表面を覆う酸化膜を形成し、前記酸化膜上に窒化膜を形成し、前記窒化膜上にシリコン膜を形成する。この後、TEOSを主原料とし、少なくとも酸化剤との混合雰囲気で成膜する絶縁膜を各配線間の隙間に埋め込む。そして、酸化性雰囲気で前記シリコン膜をシリコン酸化膜に変換する、という一連の工程からなる。

【0012】前記酸化剤にオゾンを用いる場合、前記絶縁膜は、TEOSとオゾンを主原料とする膜となる。また、前記酸化剤にH₂O₂を用いる場合、前記絶縁膜は、TEOSとH₂O₂を主原料とする膜となる。また、前記酸化剤にH₂O₂を用いる場合、前記絶縁膜は、TEOSとH₂O₂を主原料とする膜となる。前記シリコン膜は、多結晶シリコン膜又はアモルファスシリコン膜である。

【0013】

【作用】上記構成によれば、溝の内面は酸化膜により覆われている。従って、素子領域に形成される拡散層（例えば、MOSFETのソース・ドレイン）の接合リーキクが増えることがない。

【0014】また、酸化膜上にはシリコン膜が形成されている。従って、絶縁膜（例えばTEOS-オゾン膜）は、シリコン膜上に正常に成長し、ボイドなく溝を絶縁膜により埋め込むことができる。

【0015】また、酸化膜とシリコン膜の間には窒化膜が形成されている。従って、シリコン膜がシリコン酸化膜に変換される際に半導体基板が酸化されることがない。また、LSIの微細化によって配線間隔が狭くなつても、この微細な隙間に絶縁膜を埋め込むことができるため、LSIの微細化に貢献できる。

【0016】

【実施例】以下、図面を参照しながら、本発明の半導体装置の製造方法について詳細に説明する。

【A】図1～図5は、本発明の第1実施例に係わる半導体装置の製造方法を示している。

【0017】この実施例は、本発明の製造方法を半導体基板の溝内に絶縁膜を埋め込む場合に適用したものである。まず、図1に示すように、シリコン基板11上にシリコン酸化膜12、多結晶シリコン膜13及びシリコン酸化膜14をそれぞれ形成する。

【0018】シリコン酸化膜12の膜厚は、約20nmであり、多結晶シリコン膜13の膜厚は、約300nmであり、シリコン酸化膜14の膜厚は、約300nmである。これらの膜は、後に行われるRIEのマスク材と

して、及びシリコン基板の保護膜としての機能を果たす。

【0019】また、シリコン酸化膜14上にレジスト膜15を形成し、このレジスト膜15をバターニングする。次に、図2に示すように、レジスト膜15をマスクにしてRIE法によりシリコン酸化膜14、多結晶シリコン膜13及びシリコン酸化膜12をそれぞれエッチングする。

【0020】また、レジスト膜15を除去し、さらにシリコン酸化膜14をマスクにしてシリコン基板11に深度が約1.0μmの溝16を形成する。次に、図3に示すように、熱酸化を行い、少なくとも溝16の内面に厚さが約20nmのシリコン酸化膜17を形成する。また、全面に厚さが約7nmのシリコン窒化膜18を形成する。このシリコン窒化膜18は、後に行われる酸化工程においてシリコン基板の酸化を防止する機能を有する。

【0021】この後、シリコン窒化膜18上に、例えばTEOSを主原料とし流動性を有する絶縁膜と相性のよい膜、例えばシリコン膜19を形成する。このシリコン膜19は、一般には、膜厚を薄くするために低温で形成されるためアモルファスシリコン膜となる。しかし、シリコン膜19は、多結晶シリコン膜であっても、又は単結晶シリコン膜であってもよい。

【0022】次に、図4に示すように、全面に、常温で流動性を有するTEOS-オゾン膜20を約1.0μmの膜厚で形成する。また、温度約950℃、水蒸気を含む酸化雰囲気中において、シリコン膜19を酸化し、このシリコン膜19をシリコン酸化膜19'に変える。このとき、シリコン基板11は、シリコン窒化膜18によって保護されているため、酸化されない。

【0023】次に、図5に示すように、TEOS-オゾン膜20、シリコン酸化膜19'及びシリコン窒化膜18の一部、並びにシリコン酸化膜14をエッチパックする。この後、さらに多結晶シリコン膜13及びシリコン酸化膜12を除去すれば、シリコン基板の溝16内にのみ絶縁膜が埋め込まれる。

【0024】上記半導体装置の製造方法によれば、溝16の内面は、シリコン酸化膜（熱酸化膜）17により覆われている。従って、素子領域に形成される拡散層（例えば、MOSFETのソース・ドレイン）の接合リーキクが増えることがない。

【0025】また、シリコン酸化膜17上にはシリコン膜19が形成されている。従って、TEOS-オゾン膜20は、シリコン膜19上に正常に成長するため、ボイドなく溝16を絶縁膜により埋め込むことができる。

【0026】また、シリコン酸化膜17とシリコン膜19の間にはシリコン窒化膜18が形成されている。従って、シリコン膜19は、後の酸化工程でシリコン酸化膜19'に変えられるが、このときにシリコン基板11が

酸化されることがない。

【0027】以上より、ボイドなくシリコン基板19の溝16内に絶縁膜を埋め込み、かつ、素子特性を劣化させない素子同士の分離を行うことができる。なお、上記製造方法において、溝16を最終的に埋め込む絶縁膜は、TEOS-オゾン膜に限らず、TEOSを主原料とした流動性のある膜であれば、上記効果と同様の効果が得られる。

【0028】例えば、酸化剤としてH₂Oを用いて堆積したTEOS膜や、酸化剤としてH₂O₂を用いて堆積したTEOS膜などでもよい。

【B】図6～図8は、本発明の第2実施例に係わる半導体装置の製造方法を示している。

【0029】この実施例は、本発明の製造方法を配線間の微細な隙間に埋め込む場合に適用したものである。まず、図6に示すように、シリコン基板11上にシリコン酸化膜21を形成する。また、シリコン酸化膜21上に導電膜22を形成し、この導電膜22をパターニングして配線23を形成する。

【0030】なお、導電膜22は、後に行われる熱工程により悪影響を受けない材料から構成される膜、例えば多結晶シリコン膜、シリサイド膜、高融点金属膜や、これらの積層からなる膜などを用いることができる。

【0031】次に、図7に示すように、例えば熱酸化を行い、各配線23を覆う厚さが約20nmのシリコン酸化膜24を形成する。また、全面に厚さが約7nmのシリコン窒化膜25を形成する。このシリコン窒化膜25は、後に行われる酸化工程においてシリコン基板11の酸化を防止する機能を有する。

【0032】この後、シリコン窒化膜25上に、例えばTEOSを主原料とし流動性を有する絶縁膜と相性のよい膜、例えばシリコン膜26を形成する。このシリコン膜26は、一般には、膜厚を薄くするために低温で形成されるためアモルファスシリコン膜となる。しかし、シリコン膜26は、多結晶シリコン膜であっても、又は単結晶シリコン膜であってもよい。

【0033】次に、図8に示すように、全面に、常温で流動性を有するTEOS-オゾン膜27を約1.0μmの膜厚で形成する。また、温度約950℃、水蒸気を含む酸化雰囲気中において、シリコン膜26を酸化し、このシリコン膜26をシリコン酸化膜26'に変える。このとき、シリコン基板11は、シリコン窒化膜25によって保護されているため、酸化されない。

【0034】この後、TEOS-オゾン膜27の一部をエッチバックし、TEOS-オゾン膜27上を平坦化する。また、このTEOS-オゾン膜27上に第2層目の配線28を形成する。

【0035】なお、図9に示すように、TEOS-オゾン膜27の一部をエッチバックした後に、このTEOS-オゾン膜27上にシリコン酸化膜29を形成し、さら

に、このシリコン酸化膜29上に第2層目の配線28を形成してもよい。

【0036】上記半導体装置の製造方法によれば、配線23間のような微細な隙間にも絶縁膜を埋め込むことができるため、LSIの微細化に貢献することができる。なお、上記製造方法において、配線間の隙間に埋め込む絶縁膜は、TEOS-オゾン膜に限らず、TEOSを主原料とした流動性のある膜であれば、上記効果と同様の効果が得られる。例えば、酸化剤としてH₂Oを用いて堆積したTEOS膜や、酸化剤としてH₂O₂を用いて堆積したTEOS膜などでもよい。

【0037】

【発明の効果】以上、説明したように、本発明の半導体装置の製造方法によれば、次のような効果を奏する。TEOSを主原料とした流動性のある絶縁膜を形成する前に、この流動性のある絶縁膜と相性のよい膜を薄く形成している。従って、素子分離用の溝内にボイドなく絶縁膜を埋め込むことができ、配線間の微細な隙間を埋め込むことができる。

【0038】しかも、流動性のある絶縁膜と相性のよい膜がシリコン膜のような場合には、後の酸化工程でシリコン膜を絶縁膜に変える必要があるが、このときシリコン基板の酸化は、シリコン窒化膜により防止されている。

【0039】従って、ボイドなく半導体基板の溝内に絶縁膜を埋め込み、かつ、素子特性を劣化させない素子同士の分離を行うことができ、かつ、配線間のような微細な隙間にも絶縁膜を埋め込むことができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係わる半導体装置の製造方法を示す断面図。

【図2】本発明の第1実施例に係わる半導体装置の製造方法を示す断面図。

【図3】本発明の第1実施例に係わる半導体装置の製造方法を示す断面図。

【図4】本発明の第1実施例に係わる半導体装置の製造方法を示す断面図。

【図5】本発明の第1実施例に係わる半導体装置の製造方法を示す断面図。

【図6】本発明の第2実施例に係わる半導体装置の製造方法を示す断面図。

【図7】本発明の第2実施例に係わる半導体装置の製造方法を示す断面図。

【図8】本発明の第2実施例に係わる半導体装置の製造方法を示す断面図。

【図9】本発明の第2実施例に係わる半導体装置の製造方法を示す断面図。

【図10】従来の半導体装置の製造方法を示す断面図。

【図11】従来の半導体装置の製造方法を示す断面図。

【符号の説明】

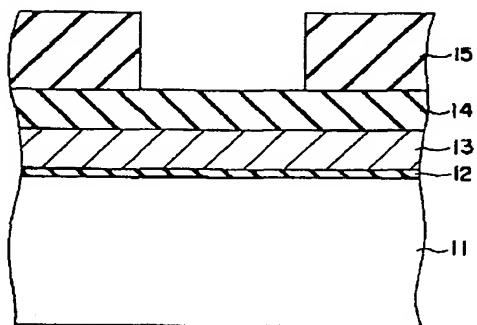
7

1 1, 2 1 …シリコン基板、
 1 2, 2 2 …シリコン酸化膜、
 1 3 …多結晶シリコン膜、
 1 4 …シリコン酸化膜、
 1 5 …レジスト膜、
 1 6 …溝、
 1 7, 2 4 …シリコン酸化膜(熱酸化膜)、

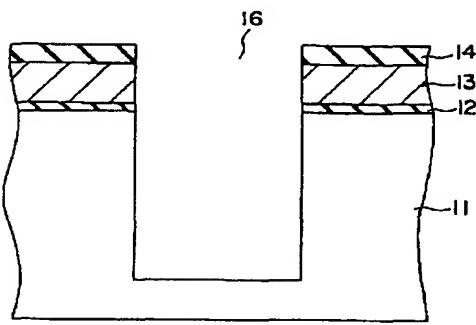
8

1 8, 2 5 …シリコン空化膜、
 1 9, 2 6 …シリコン膜、
 1 9', 2 6 …シリコン酸化膜、
 2 0, 2 7 …TEOS-オゾン膜、
 2 3, 2 8 …配線、
 2 9 …シリコン酸化膜。

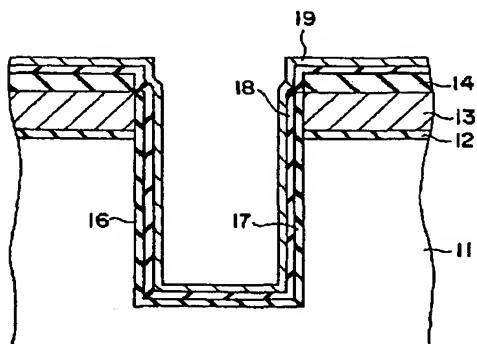
【図1】



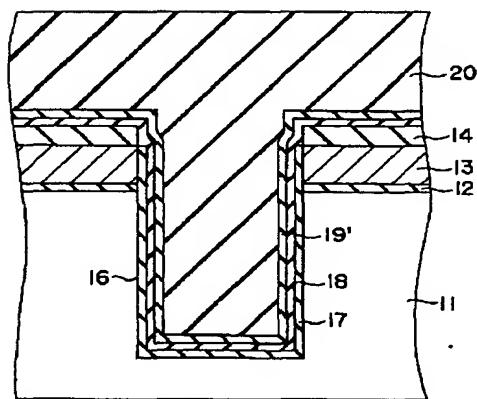
【図2】



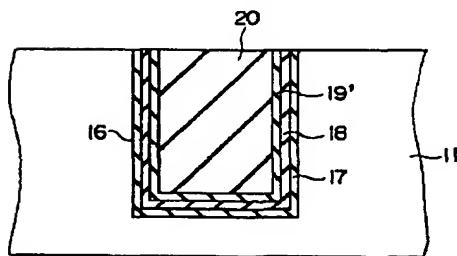
【図3】



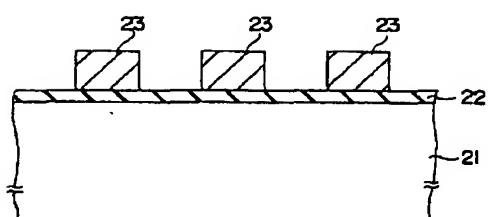
【図4】



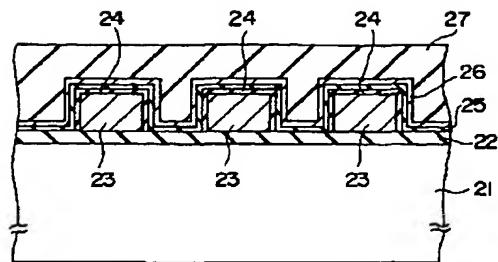
【図5】



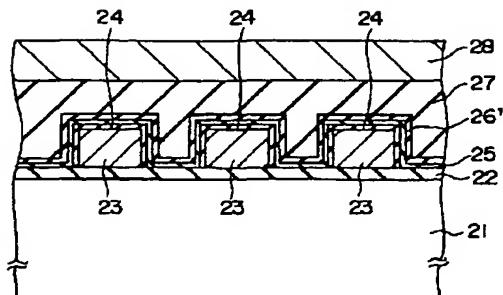
【図6】



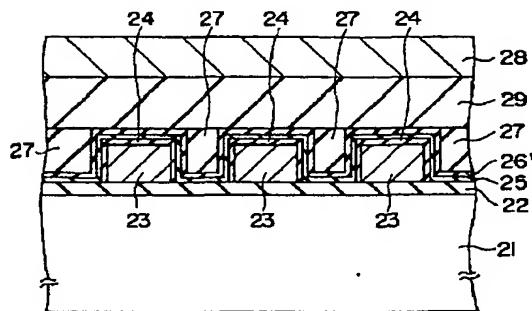
【図7】



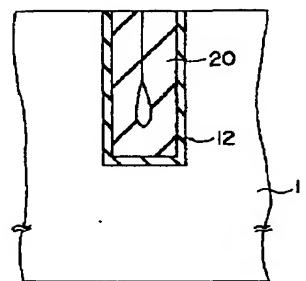
【図8】



【図9】



【図10】



【図11】

